**Тема 1. Основные понятия архитектуры ВМС.**

**Архитектура ВМ – это:**

\*логическая (концептуальная) структура и функциональные характеристики ВМ, включая взаимосвязи между её аппаратными и программными компонентами

физическая модель, которая устанавливает состав, порядок и принципы взаимодействия частей машины

**Вычислительная машина – это:**

\*совокупность технических и программных средств, служащих для автоматизированной обработки данных по заданному алгоритму

система, состоящая из ЦП, памяти и устройств ввода-вывода

**Архитектура ВМ, получившая наибольшее распространение:**

\*принстонская архитектура фон Неймана

гарвардская архитектура

**Какая архитектура считается фоннеймановской:**

\*программы и данные хранятся в единой памяти

раздельные устройства памяти для хранения программ и данных

**Почему в ВМ используется двоичная система счисления:**

\*наиболее просты и дёшевы элементы, имеющие 2 состояния

наиболее простой является двоичная арифметика

**Машина фон Неймана. В чём состоит принцип двоичного кодирования:**

\*команды и данные представляются в двоичном коде

алгоритм решения задачи переводится в двоичный код

**Машина фон Неймана. В чём состоит принцип программного управления:**

программа управляет машиной

\*алгоритм решения задачи представляется в виде программы, состоящей из команд

**Главные компоненты ЦП:**

\*регистры, АЛУ и устройство управления

регистры, АЛУ и память

**Преимущества 3-х адресной машины перед 4-х адресной:**

\*сокращаются аппаратурные затраты

уменьшается длина программы

**Преимущества 2-х адресной машины перед 3-х адресной:**

\*сокращаются аппаратурные затраты

уменьшается длина программы

**Преимущества 1-но адресной машины перед 2-х адресной:**

\*сокращаются аппаратурные затраты

уменьшается длина программы

**Недостатки 2-х адресной машины перед 3-х адресной:**

увеличиваются аппаратурные затраты

\*увеличивается длина программы

**Недостатки 1-адресной машины перед 2-х адресной:**

увеличиваются аппаратурные затраты

\*увеличивается длина программы

**Достоинства стековой машины:**

\*высокая скорость исполнения программы

уменьшается время компиляции

**Недостатки стековой машины:**

\*высокие аппаратурные затраты

увеличивается время компиляции

**Тема 2. Учебная ВМ, её элементы и узлы.**

**Назначение регистра PC:**

\*хранение адреса команды

хранение команды

**Назначение регистра IR:**

хранение адреса команды

\*хранение команды

**Назначение регистра AC:**

\*хранение операнда

хранение команды

**Назначение дешифратора:**

пересылка кода

\*преобразование двоичного кода в код "1 из N"

выбор сигнала по адресу

для преобразования булевых функций

**Назначение мультиплексора:**

для преобразования булевых функций

\*передает на выход один из входных сигналов по задаваемому адресу

преобразование двоичного кода в код "1 из N"

осуществляет логические операции над входными сигналами

**Назначение шифратора:**

шифрует входную информацию

\*преобразование кода "1 из N" в двоичный код

преобразование двоичного кода в код "1 из N"

для преобразования булевых функций

**Назначение приоритетного шифратора:**

шифрует входную информацию

\*вырабатывает двоичный код старшего по приоритету запроса

преобразует входной код в приоритетный двоичный

преобразует входной код в приоритетный десятичный

**Назначение одноразрядного сумматора:**

суммирует биты слагаемых, на выходе биты суммы и переноса

\*суммирует биты слагаемых и переноса, на выходе биты суммы и переноса

суммирует биты слагаемых, на выходе бит суммы

суммирует биты слагаемых и переноса, на выходе бит суммы

**Какой цифровой блок имеет обозначение DC:**

шифратор

\*дешифратор

мультиплексор

демультиплексор

**Какой цифровой блок имеет обозначение СD:**

дешифратор

\*шифратор

мультиплексор

демультиплексор

**Какой цифровой блок имеет обозначение MS:**

дешифратор

\*мультиплексор

демультиплексор

шифратор

**Какой цифровой блок имеет обозначение SRAM:**

ОЗУ

\*статическое ОЗУ

динамическое ОЗУ

ОЗУ с удвоенной скоростью передачи данных

**Какой цифровой блок имеет обозначение RAM:**

статическое ОЗУ

\*ОЗУ

динамическое ОЗУ

ОЗУ с удвоенной скоростью передачи данных

**Какой цифровой блок имеет обозначение DRAM:**

ОЗУ

\*динамическое ОЗУ

ОЗУ с удвоенной скоростью передачи данных

статическое ОЗУ

**Какой цифровой блок имеет обозначение DDR RAM:**

динамическое ОЗУ

\*ОЗУ с удвоенной скоростью передачи данных

статическое ОЗУ

ОЗУ

**Какой цифровой блок имеет обозначение ROM:**

ПЗУ, программируемое пользователем

\*масочное ПЗУ

ПЗУ с электрическим программированием и ультрафиолетовым стиранием

ПЗУ с электрическим программированием и стиранием

**Какой цифровой блок имеет обозначение PROM:**

масочное ПЗУ

\*ПЗУ, программируемое пользователем

ПЗУ с электрическим программированием и ультрафиолетовым стиранием

ПЗУ с электрическим программированием и стиранием

**Какой цифровой блок имеет обозначение EPROM:**

масочное ПЗУ

\*ПЗУ с электрическим программированием и ультрафиолетовым стиранием

ПЗУ, программируемое пользователем

ПЗУ с электрическим программированием и стиранием

**Какой цифровой блок имеет обозначение EEPROM:**

масочное ПЗУ

\*ПЗУ с электрическим программированием и стиранием

ПЗУ с электрическим программированием и ультрафиолетовым стиранием

ПЗУ, пользователем

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0000 и операндах A=1001, B=0101:**

0101

\*1001

1010

0001

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0001 и операндах A=1001, B=0101:**

0101

\*1010

1011

1001

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0010 и операндах A=1001, B=0101:**

1101

\*1110

1010

1111

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0011 и операндах A=1001, B=0101:**

1100

\*1111

1110

1101

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0100 и операндах A=1001, B=0101:**

0001

\*0011

0010

0100

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0101 и операндах A=1001, B=0101:**

0101

\*0100

0010

0111

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0110 и операндах A=1001, B=0101:**

0111

\*1000

1010

1001

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=0111 и операндах A=1001, B=0101:**

1101

\*1001

1010

0101

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=1000 и операндах A=1001, B=0101:**

1001

\*1101

1010

1100

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=1010 и операндах A=1001, B=0101:**

1101

\*1100

1010

1001

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=1100 и операндах A=1001, B=0101:**

0011

\*0001

0010

0000

**В нашем курсе "Архитектура ВМС" на лекциях было разработано несложное АЛУ. Итоговая таблица этого АЛУ доступна также на Яндекс-диске по ссылке https://yadi.sk/i/oKrsJOKII9sK7w. Определить выходной сигнал АЛУ при управляющем сигнале Ms1s0c0=1110 и операндах A=1001, B=0101:**

1100

\*0110

0010

0101

**Почему в микросхемах наиболее часто используют D-триггера:**

повышается быстродействие микросхемы

\*уменьшается число выводов микросхемы

уменьшается потребляемая мощность

повышается частота работы микросхемы

**На каком 2-х входовом элементе (один вход s-управляющий, другой вход D-информационный) можно построить цифровой вентиль (если s=0, то ВЫХОД=0; если s=1, то ВЫХОД=D):**

ИЛИ

\*И

ИСКЛЮЧАЮЩЕЕ ИЛИ

И-НЕ

**На каком 2-х входовом элементе (один вход s-управляющий, другой вход D-информационный) можно построить управляемый инвертор (если s=0, то ВЫХОД=D; если s=1, то ВЫХОД=НЕ-D):**

ИЛИ

\*ИСКЛЮЧАЮЩЕЕ ИЛИ

И

ИЛИ-НЕ

**Какие состояния имеет элемент с 3-мя состояниями:**

вход имеет состояния 0, 1, и отключено

\*выход имеет состояния 0, 1, и отключено

выход имеет состояния 0, 1, и открытый коллектор

элемент имеет состояния включено, отключено и неопределено

**На каком элементе для стека можно реализовать сигнал EMTY (стек пуст), то-есть, когда все биты адреса стека равны нулю, то EMTY=1, иначе EMTY=0:**

ИЛИ

\*ИЛИ-НЕ

И

И-НЕ

**Какую функцию будет выполнять схема ИСКЛЮЧАЮЩЕЕ ИЛИ, если на один вход подать сигнал, равный 1, а другой использовать как информационный ВХОД:**

цифровой ключ

\*инвертор

повторитель

цифровой вентиль

**Тема 3. Память ВМ.**

**Какую память в ВМ называют основной:**

\*оперативную

дисковую

кэш-память

**Какую память в ВМ называют физической:**

\*оперативную

дисковую

кэш-память

**Какую память в ВМ называют внешней:**

оперативную

\*дисковую

кэш-память

**Какую память в ВМ называют вторичной:**

оперативную

\*дисковую

кэш-память

**Какая память в ВМ в расчёте на один бит самая дорогая:**

оперативная

\*регистровая

кэш-память

**Какая память в ВМ в расчёте на один бит самая дешёвая:**

\*оперативная

регистровая

кэш-память

**ОЗУ имеет объем 64К слов на 8 разрядов. Сколько разрядов имеет адрес этого ОЗУ:**

15

\*16

19

**ОЗУ имеет объем 16Г слов на 8 разрядов. Сколько разрядов имеет адрес этого ОЗУ:**

31

\*34

37

**ОЗУ имеет объем 256К слов на 8 разрядов. Сколько разрядов имеет адрес этого ОЗУ:**

16

\*18

19

**ОЗУ имеет объем 128М слов на 8 разрядов. Сколько разрядов имеет адрес этого ОЗУ:**

\*27

28

30

**ОЗУ имеет объем 512М слов на 8 разрядов. Сколько разрядов имеет адрес этого ОЗУ:**

\*29

30

32

**Известно, что ОЗУ имеет 19 адресных разрядов. Сколько ячеек памяти у этого ОЗУ:**

128К

256К

\*512К

**Известно, что ОЗУ имеет 13 адресных разрядов. Сколько ячеек памяти у этого ОЗУ:**

\*8К

16К

4К

**Известно, что ОЗУ имеет 22 адресных разряда. Сколько ячеек памяти у этого ОЗУ:**

2М

\*4М

6М

**Известно, что ОЗУ имеет 19 адресных разрядов. Сколько ячеек памяти у этого ОЗУ:**

128К

256К

\*512К

**Смартфон, на котором Вы смотрите лекции по Архитектуре ВМС, имеет оперативную память 1Гб. Сколько разрядов адреса имеет эта память**:

\*30

32

33

**Смартфон, на котором Вы смотрите лекции по Архитектуре ВМС, имеет оперативную память 2Гб. Сколько разрядов адреса имеет эта память**:

\*31

32

34

**Смартфон, на котором Вы смотрите лекции по Архитектуре ВМС, имеет оперативную память 4Гб. Сколько разрядов адреса имеет эта память**:

31

\*32

34

**Смартфон, на котором Вы смотрите лекции по Архитектуре ВМС, имеет оперативную память 6Гб. Сколько разрядов адреса имеет эта память**:

31

\*33

34

**Смартфон. на котором Вы смотрите лекции по Архитектуре ВМС, имеет оперативную память 8Гб. Сколько разрядов адреса имеет эта память**:

31

\*33

34

**Тема 4.Устройства ВМ.**

**Тачпад-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Трекбол-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Сканер-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Веб-камера-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Дигитайзер-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Джойстик-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Световое перо-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Геймпад-это:**

\*устройство ввода

устройство вывода

устройство ввода и вывода

**Плоттер-это:**

устройство ввода

\*устройство вывода

устройство ввода и вывода

**Стример-это:**

устройство ввода

устройство вывода

\*устройство ввода и вывода

**Регистр прерываний-это:**

\*совокупность триггеров, каждый из которых выдает запрос на прерывание

от своего устройства ввода-вывода

совокупность триггеров, каждый из которых выдает запрос на прерывание

от компилятора

**Регистр маски-это:**

\*совокупность триггеров, каждый из которых разрешает или запрещает прерывание

своему устройству ввода-вывода по сигналу от ОС

совокупность триггеров, каждый из которых разрешает или запрещает прерывание

своему устройству ввода-вывода по сигналу от компилятора

**Приоритетный шифратор прерываний:**

\*выбирает на обслуживание устройство со старшим приоритетом и выдает вектор-адрес устройства в основную память

выбирает на обслуживание устройство со старшим приоритетом и выдает вектор-адрес устройства в драйвер

**Вектор-адрес-это:**

\*адрес памяти, в котором записана команда безусловного перехода на драйвер выбранного по приоритету устройства

адрес памяти, в котором записана команда безусловного перехода на драйвер выбранного компилятором устройства

**Цикл прерываний-это:**

\*цикл, в котором запоминается адрес возврата из PC и осуществляется переход

на вектор-адрес выбранного по приоритету устройства

цикл, в котором запоминается адрес возврата из PC и осуществляется переход

на драйвер выбранного по приоритету устройства

**Основные компоненты операционных устройств:**

\*RG, ALU, MS, DC

RG, ALU, MS, CD

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R5🡨 (R3  R1**) определить управляющее слово устройства MSA MSB ALU DC:**\*011 001 1010 0101  
 011 001 1010 1101

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R3🡨 (R1  R6) **определить управляющее слово устройства MSA MSB ALU DC:**\*001 110 1000 0011  
 011 001 1000 0011

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R1🡨 (R6 – R4) **определить управляющее слово устройства MSA MSB ALU DC:**\*110 100 0101 0001  
 110 100 0100 0001

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R6🡨 (R4 – R2 – 1) **определить управляющее слово устройства MSA MSB ALU DC:**\*100 010 0100 0110  
 110 100 0101 0110

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R4🡨 (R2 + R0 + 1) **определить управляющее слово устройства MSA MSB ALU DC:**\*010 000 0011 0100  
 010 000 1010 1100

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R2🡨 (R0 + R5) **определить управляющее слово устройства MSA MSB ALU DC:**\*000 101 0010 0010  
 010 101 0010 0010

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R5🡨 (R3 + R1) **определить управляющее слово устройства MSA MSB ALU DC:**\*011 001 0010 0101  
 011 001 1010 1101

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R3🡨 (R1 + R6 + 1) **определить управляющее слово устройства MSA MSB ALU DC:**\*001 110 0011 0011  
 001 110 0010 0011

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R1🡨 (R6 – R4 – 1) **определить управляющее слово устройства MSA MSB ALU DC:**\*110 100 0100 0001  
 001 100 0101 0001

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R6🡨 (R4 – R2) **определить управляющее слово устройства MSA MSB ALU DC:**\*100 010 0101 0110  
 100 010 0100 0110

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R4🡨 () **определить управляющее слово устройства MSA MSB ALU DC:**\*010 000 1000 0100  
 010 000 1000 1100

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R2🡨 () **определить управляющее слово устройства MSA MSB ALU DC:**\*000 101 1010 0010  
 010 101 1010 0010

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R0🡨 () **определить управляющее слово устройства MSA MSB ALU DC:**\*011 001 1100 0000  
 000 001 1100 1000

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R3🡨 () **определить управляющее слово устройства MSA MSB ALU DC:**\*000 101 1000 0011  
 011 101 1000 0011

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R0🡨 () **определить управляющее слово устройства MSA MSB ALU DC:**\*101 010 1010 0000  
 101 010 1010 1000

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R5🡨 (R1 + R6) **определить управляющее слово устройства MSA MSB ALU DC:**\*001 110 0010 0101  
 101 001 1010 0101

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R4🡨 (R3 – R0 – 1) **определить управляющее слово устройства MSA MSB ALU DC:**\*011 000 0100 0100  
 011 000 0101 0100

**На лекциях и практических занятиях в нашем курсе ”Архитектура ВМС “ было разработано несложное операционное устройств, включающее семь регистров R0-R6 и ВХОД; ALU, получающее информацию от мультиплексоров MSA и MSB; дешифратора DC, распределяющего выходной сигнал ALU по регистрам. Управляется это устройство управляющим словом, состоящим из управляющих сигналов MSA и MSB (по 3 разряда каждое), управляющего сигнала ALU (4 разряда), и управляющего сигнала DC (4 разряда). Для микрооперации** R1🡨 (R5 – R4) **определить управляющее слово устройства MSA MSB ALU DC:**\*101 100 0101 0001  
 001 100 0100 0001

**Тема 5. Организация вычислительного процесса в ВМ.**

**Достоинства языка ассемблера:**

\*высокое быстродействие при выполнении программы

высокая скорость программирования

**Недостатки языка ассемблера:**

\*программы не переносятся на другие типы ВМ

требуется большой объем памяти для программ

**Недостатки монолитной ОС:**

\*ошибки в программах и драйверах выводят ОС из строя

требуется большой объем памяти для ОС

**Преимущества введения защищённого режима для ядра ОС:**

\*повышается надёжность работы ВМ

экономится память ВМ

**Недостатки введения защищённого режима для ядра ОС:**

\*уменьшается скорость работы ВМ

экономится время обращения к памяти ВМ

**Достоинства микроядерной архитектуры ОС:**

\*высокая надёжность при выполнении программ

высокая скорость программирования

**Недостатки микроядерной архитектуры ОС:**

\*низкая скорость выполнения программ

низкая скорость программирования

**Какой ресурс ОС считают главным:**

\*время ЦП

объём основной памяти

**Процесс в ОС-это:**

\*выполнение программы в выделенном адресном пространстве ОС

перевод программы из исходного кода в исполняемый модуль

**Кто выделяет процессу адресное пространство:**

\*ОС

компилятор

**Какие состояния процесса мы изучали:**

\*новый процесс, готов, выполнение, ожидание, завершение

новый процесс, готов, выполнение, ввод-вывод, завершение

**Зачем вводится квант времени ЦП:**

\*каждый готовый процесс должен получить время от ЦП

для выделения времени для охлаждения ЦП

**Между какими состояниями процесса ОС работает кратковременный**

**планировщик:**

\*готов-выполнение

ожидание-готов

**Между какими состояниями процесса ОС работает долговременный**

**планировщик:**

готов-выполнение

\*ожидание-готов

**В адресное пространство процесса входят:**

\*исполняемый код, данные, стек, куча

исполняемый код, данные, стек, компилятор

**Виртуальная память имеет объем 16 М байт, физическая – 1 М байт, страница - 64 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***256 16  
 128 16

**Виртуальная память имеет объем 16 М байт, физическая – 1 М байт, страница - 32 К байт. . Определить количество страниц в виртуальной и физической памяти:  
\***512 32  
 512 16

**Виртуальная память имеет объем 8 М байт, физическая – 512 К байт, страница - 32 К байт. . Определить количество страниц в виртуальной и физической памяти:  
\***256 16  
 128 16

**Виртуальная память имеет объем 8 М байт, физическая – 512 К байт, страница – 16 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***512 32  
 512 16

**Виртуальная память имеет объем 8 М байт, физическая – 256 К байт, страница – 16 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***512 16  
 256 16

**Виртуальная память имеет объем 8 М байт, физическая – 128 К байт, страница - 16 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***512 8  
 256 8

**Виртуальная память имеет объем 4 М байт, физическая – 256 К байт, страница – 4 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***1К 64  
 1К 32

**Виртуальная память имеет объем 4 М байт, физическая – 64 К байт, страница - 4 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***1К 16  
 1К 32

**Виртуальная память имеет объем 8 М байт, физическая – 128 К байт, страница – 4 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***2К 32  
 2К 16

**Виртуальная память имеет объем 4 М байт, физическая – 64 К байт, страница - 8 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***512 8  
 256 8

**Виртуальная память имеет объем 2 М байт, физическая – 128 К байт, страница - 32 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***64 4  
 64 8

**Виртуальная память имеет объем 2 М байт, физическая – 128 К байт, страница - 2 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***1К 64  
 1К 32

**Виртуальная память имеет объем 2 М байт, физическая – 64 К байт, страница – 1 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***2К 64  
 2К 32

**Виртуальная память имеет объем 4 М байт, физическая – 256 К байт, страница - 64 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***64 4  
 64 8

**Виртуальная память имеет объем 8 М байт, физическая – 256 К байт, страница - 32 К байт. Определить количество страниц в виртуальной и физической памяти:  
\***256 8  
 128 8